

862.2789

DIALOG(R) File 351:DERWENT WPI
(c)1999 Derwent Info Ltd. All rts. reserv.

003596665

WPI Acc No: 83-E4864K/198314

XRPX Acc No: N83-058486

Image scanning device with non-quenching reading characteristic - uses intervals during vertical scanning to apply potential to reduce distortion

Patent Assignee: FUJI PHOTO FILM CO LTD (FUJF); HANDOTAI KENKYU SIN (HAND-N); SEMICONDUCTOR RES (SEMI-N); SEMICONDUCTOR RES FOUND (SEMI-N)

Inventor: MURAKOSHI M; NISHIZAWA J; OHMI T; SHIMANUKI K

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
DE 3234573	A	19830331					198314 B
JP 58048577	A	19830322	<i>fn 5-018309-B</i>				198317
US 4504865	A	19850312	US 82418677	A	19820916		198513
DE 3234573	C2	19940203	DE 3234573	A	19820917	H04N-003/15	199405

Priority Applications (No Type Date): JP 81147576 A 19810918

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
DE 3234573	A		29			
DE 3234573	C2		17			

Abstract (Basic): DE 3234573 A

The solid state image scanning device with a scanning surface formed by a large number of cells in matrix form, operates with a non-quenching reading system. This operates so that signals appearing at the output lines do not remain for a sufficient time to cause interference with the next signals to be read. Between the selection period for the next vertical scanning line connection and that of the next vertical scanning connection is maintained a blank period during which the signal lines are held at a reference potential.

The lines are interconnected in stages in predetermined numbers at an output connection to form multiplex signal output lines which are then selectively horizontally scanned. The signals obtained are used for maintaining the reference potentials during the blank periods.

Title Terms: IMAGE; SCAN; DEVICE; NON; QUENCH; READ; CHARACTERISTIC; INTERVAL; VERTICAL; SCAN; APPLY; POTENTIAL; REDUCE; DISTORT

Derwent Class: W02; W04

International Patent Class (Main): H04N-003/15

International Patent Class (Additional): H01L-027/14; H04N-001/02;

H04N-005/30

File Segment: EPI

⑥ 特 許 公 報 (B2) 平5-18309 ×

⑦ Int. Cl.³

H 04 N 5/335

識別記号

E
C

庁内整理番号

8838-5C
8838-5C

⑧ 公告 平成5年(1993)3月11日

発明の数 1 (全11頁)

⑨ 発明の名称 固体撮像装置の画像信号読出し方法

審 判 平3-811

⑪ 特 願 昭56-147576

⑫ 公 開 昭58-48577

⑬ 出 願 昭56(1981)9月18日

⑭ 昭58(1983)3月22日

⑮ 発 明 者 西 澤 潤 一 宮城県仙台市米ヶ袋1丁目6番16号

⑯ 発 明 者 大 見 忠 弘 宮城県仙台市米ヶ袋2丁目1の17-301

⑰ 発 明 者 村 越 誠 埼玉県朝霞市泉本三丁目11番46号 富士写真フイルム株式
会社朝霞研究所内⑱ 発 明 者 嶋 貫 孝 二 埼玉県朝霞市泉本三丁目11番46号 富士写真フイルム株式
会社朝霞研究所内⑲ 出 願 人 財団法人 半導体研究 宮城県仙台市青葉区川内(番地なし)
振興会⑳ 出 願 人 富士写真フイルム株式 神奈川県南足柄市中沼210番地
会社

㉑ 代 理 人 弁理士 玉蟲 久五郎

審判の合議体 審判長 橋 昭 成 審判官 小 暮 与 作 審判官 小 要 昌 久

㉒ 参 考 文 献 特開 昭52-71945 (JP, A) 特開 昭56-30371 (JP, A)

特開 昭55-124259 (JP, A) 特開 昭55-30855 (JP, A)

特開 昭55-15275 (JP, A) 特開 昭55-15229 (JP, A)

実開 昭56-166 (JP, U) 実開 昭56-83180 (JP, U)

1

⑥ 特許請求の範囲

1 2次元的に配列された複数個の非破壊読出し特性を有するフック構造から成り、第1および第2の主電極を有した光検出部と第1および第2の主電極を有したMOSトランジスタのみから構成され、該光検出部の前記第1の主電極を所定の基準電位に接続し、該光検出部の前記第2の主電極と該MOSトランジスタの前記1の主電極とが接続された固体画素セル、該画素セルを水平方向に連ねる複数の前記MOSトランジスタのゲートに接続された垂直走査信号線及び前記画素セルを垂直方向に連ねる複数の前記MOSトランジスタの前記第2の主電極に接続された画素信号出力線を備え、前記垂直走査信号線を順次垂直走査することにより選択された垂直走査信号線に連なる固体画素セル内の非破壊画素信号を対応する画素信号

2

出力線上に順次出力させると共に選択された垂直走査信号線の選択期間内に前記画素信号出力線から固体画素セル群の非破壊画素信号の読出しを行う固体撮像装置の画像信号読出し方法において、前記選択された垂直走査信号線の選択期間と次に選択される垂直走査信号線の選択期間との間にブランキング期間を設け、該ブランキング期間において前記画素信号出力線を接続電位に保持することにより、前記画素信号出力線に残存している非破壊画素信号をリフレッシュすることを特徴とする固体撮像装置の画像信号読出し方法。

2 前記画素信号出力線の所定本数ごとに出力端子側を相互接続した多重化信号出力線を形成し、この多重化信号出力線内の所定本数の出力線を水平走査して出力すると共に、前記ブランキング期間において前記多重化信号出力線に接続された画

素信号出力線を接地電位に保持することにより、前記画素信号出力線に残存している非破壊画素信号をリフレッシュすることを特徴とする特許請求の範囲第1項記載の固体撮像装置の画像信号読出し方法。

発明の詳細な説明

本発明は非破壊読出し特性を有する固体撮像装置の画像信号読出し方法に関する。

従来、CCD型やMOS型の固体撮像装置は読出しによって画素内の画像情報が消滅してしまういわゆる破壊読出し特性を有するものであったが、最近読出しによっても画像情報が消滅しないいわゆる非破壊読出しが可能なフック構造を有する固体撮像素子が開発された。この撮像素子は例えば特願昭55-54001号、同55-60316号等に詳細に開示されているように、フック構造のポテンシャルの井戸内にフォトキャリアを蓄積する構成により光検出機能及びこの検出情報の蓄積という両機能を備えたものであり、このため撮像部分とCRT等の表示部分あるいは得られた画像信号を磁気テープ等に記録する間に画像情報を一旦蓄積しておくための記憶装置が不要となり、従来装置に比べて大幅な簡易化、低価格化が期待されている。

本発明者は、上記非破壊読出しが可能な撮像装置の開発を進める途上において、従来のMOS型やCCD型にはなかった新たな問題に直面した。すなわち、このような撮像素子を共通の画素信号読出し線に多数接続し走査により読出すべき画素を選択しその画素情報を順次読出してゆく場合において、その画素読出した後もその画素の画素情報が破壊されないためその画素から読出された信号がある時間にわたって共通の読出し線に残存し、次の画素から読出される画像信号に干渉を及ぼすという問題が生じた。勿論読出し信号線はある大きさの対地静電容量を有しており、一旦読出された画素セルと読出し信号線との間のスイッチをオフして、これらの電気的接続を絶った状態においてはこの容量値と信号線の抵抗値の積で定まる時定数で前に読出された画像信号が減衰してゆくから、画素数が少なくしかも読出し速度が遅い小規模の実験段階の装置では大きな問題ではない。しかしながら、例えば、この固体撮像素子を用いて銀塩写真によつて静止画像と同等な画質(例えば110サイズフィルムから6倍に引き伸ばした

画像と同等な画質)の像を得る場合には例えば512×768個の画素数を必要とし、このように画素数が多くなると、読出し信号線の対地静電容量と抵抗値の両者が共に増大して放電時間が長くなる一方で画素の読出し間隔が短縮されるので、前の画素からの干渉は急激に増大する。

本発明は上記問題点に鑑みてなされたものであり、その目的とするところは同一の読出し信号線に接続され、非破壊読出し特性を有する複数個の画素相互間の干渉を防止しつつ画像信号を正確に読出すことができる経済的な画像信号読出し方法を提供することにある。

即ち、本発明は、2次元的に配列された複数個の非破壊読出し特性を有するフック構造から成り、第1および第2の主電極を有した光検出部と第1および第2の主電極を有したMOSトランジスタのみから構成され、該光検出部の前記第1の主電極を所定の基準電位に接続し、該光検出部の前記第2の主電極と該MOSトランジスタの前記1の主電極とが接続された固体画素セル、該画素セルを水平方向に連ねる複数の前記MOSトランジスタのゲート接続された垂直走査信号線及び前記画素セルを垂直方向に連ねる複数の前記MOSトランジスタの前記第2の主電極に接続された画素信号出力線を備え、前記垂直走査信号線を順次垂直走査することにより選択された垂直走査信号線に連なる固体画素セル内の非破壊画素信号を対応する画素信号出力線上に順次出力させると共に選択された垂直走査信号線の選択期間内に前記画素信号出力線から固体画素セル群の非破壊画素信号の読出しを行う固体撮像装置の画像信号読出し方法において、前記選択された垂直走査信号線の選択期間と次に選択される垂直走査信号線の選択期間との間にブランキング期間を設け、該ブランキング期間において前記画素信号出力線を接続電位に保持することにより、前記画素信号出力線に残存している非破壊画素信号をリフレッシュすることを特徴とする固体撮像装置の画像信号読出し方法としての構成を有し、或いはまた、

前記画素信号出力線の所定本数ごとに出力端子側を相互接続した多重化信号出力線を形成し、この多重化信号出力線内の所定本数の出力線を水平走査して出力すると共に、前記ブランキング期間において前記多重化信号出力線に接続された画素

信号出力線を接地電位に保持することにより、前記要素信号出力線に存在している非破壊要素信号をリフレッシュすることを特徴とする固体撮像装置の画像信号読出し方法としての構成を有する。

以下、本発明の詳細を実施例によつて説明する。

本発明の一実施例に使用する固体撮像装置は第1図のブロック図に示すように、マトリックス状に配列された例えば512×768個の要素セルを備えたセンサエリア10、垂直走査回路20、フィールド選択スイッチ30、水平走査回路40、水平スイッチ回路50、リフレッシュ信号発生回路60、リフレッシュ回路70、バッファアンプ80及びアナログ・デジタル(A/D)変換回路90から構成されている。尚、本発明において、垂直及び水平なる用語は要素セルに対する相対的な位置関係を示す用語であつて、絶対位置を示すものではない。

センサエリア10は、第2図に示すように512(2⁹)行・768(3×2⁸)列のマトリックス状に配列された同一構造の要素セル(以下「セル」と略称する。)Cから構成されており、各セルは512本の垂直走査信号線V1, V2, V3...V512及び768本の信号出力線B1, B2, B3...B768のそれぞれに接続されている。各セルはその1つを円C内に拡大して示すようにフック構造の光検出部CC及びMOSスイッチSを備えており、MOSスイッチSはその主電極がそれぞれ光検出部CC及び信号出力線Bに接続されると共にゲート電極が水平走査信号線V_jに接続されている。これにより、水平走査信号線V_j上の信号がハイになると光照射によつて光検出部CCに蓄積されていた正電圧の要素信号が信号出力線B_j上に読出される。ここで留意すべきことは、上記読出しが非破壊読出しであるため例えば光検出部CCに蓄積されていた信号を信号出力線B_j上に読出された後も、信号出力線B_j上には光検出部CCの要素信号が信号読出しの全期間にわたつて存在することである。

第3図は第1図示の水平スイッチ50、リフレッシュ回路70、バッファアンプ80及びA/D変換回路90の構成の詳細を示すブロック図である。768本の信号出力線B1, B2, B3...B768は連続する24本づつが相互に接続されて32個

のサブグループを形成し、各サブグループの32本の多重化信号出力線A1, A2, A3...A32はリフレッシュ回路70に接続される。各サブグループ内の左端の信号出力線B1, B25, B49...B745のそれぞれにはMOSスイッチQ1, Q1, Q1...Q1が接続され、これらMOSスイッチのゲート電極はすべて共通の水平走査信号線H1に接続されている。各サブグループ内の左から2番目の信号出力線B2, B26, B50...B746のそれぞれにはMOSスイッチQ1, Q1, Q1...Q1が接続され、これらMOSスイッチのゲート電極はすべて共通の水平走査信号線H2に接続されている。以下同様にして、各サブグループ内の左から数えて同一位置にある32本の信号出力線にはゲート電極が共通の水平走査信号線に接続されたMOSスイッチに接続されている。これによつて、各サブグループ内の左端に位置する32本の信号出力線は水平走査信号線H1上の信号がハイになったとき、それぞれ対応の多重化信号出力線A1, A2, A3...A32に接続される。以下同様にして、各サブグループ内の左から数えて同一位置にある32本の信号出力線は対応の水平走査信号線上の信号がハイになったとき、それぞれ対応の多重化信号出力線A1, A2, A3...A32に接続される。

多重化信号出力線A1, A2, A3...A32のそれぞれはリフレッシュ回路70内においてMOSスイッチR1, R2, R3...R32を介して接続電位で例示する基準電位に接続されている。これらのMOSスイッチR1, R2, R3...R32ゲート電極は共通のリフレッシュ信号線Rに接続されており、このリフレッシュ信号線R上の信号がハイになると、すべての多重化信号出力線が基準電位に保たれる。

多重化信号出力線A1, A2, A3...A32のそれぞれはバッファアンプ80内のアンプT1, T2, T3...T32を介してA/D変換回路90内のA/D変換回路AD1, AD2, AD3...AD32に接続され、これら変換回路はそれぞれ多重化信号出力線上のアナログ要素信号をA/D変換し、デジタル出力端子D1, D2, D3...D32上にデジタル要素信号を出力する。なおバッファアンプ80内のアンプT1~T32は共通の定電流源と接地間に並列に接続されたトランジス

タ対から成り、一方のトランジスタのベースにはアナログ画素信号が、他方のトランジスタのベースには素子上に画像を形成する画素セルとは別に設けられた透光した画素セル（図示せず）からの暗電圧がそれぞれ供給され、暗電圧が差引かれたアナログ画素信号がA/D変換回路90に供給される。

次に本発明の一実施例、すなわち、第1図乃至第3図示の構成を有する固体撮像装置の動作例を第4図の波形図を参照しつつ説明する。時刻 t_0 において第1図示の垂直走査回路20からの垂直走査信号線11上の信号がハイとなる。フィールド選択スイッチ30は、奇数フィールド走査期間においては、垂直走査信号線V1及びV2のうちV1を信号線11に接続しており、これにより垂直走査信号線V1上の信号レベル P_{n1} は約320 μ にわたってハイ状態になる（第4図）。これに伴ってセンサアレイ10内の垂直走査信号線V1に接続されている768個のセル $C1, C1, C1 \dots C1^{768}$ 内のMOSスイッチ $S1, S1, S1 \dots S1^{768}$ が導通しセル $C1, C1, C1 \dots C1^{768}$ 内の画素信号がそれぞれ信号出力線 $B1, B1, B1, \dots B1^{768}$ 上に出力される。

時刻 t_0 よりもやや遅れて時刻 t_1 に、水平走査回路40からの水平走査信号線H1上の信号 P_m がハイの状態になる。これに伴って水平スイッチ回路50内のMOSスイッチ $Q1, Q1, Q1 \dots Q1^{32}$ が導通し、信号出力線B1～B768の32個のサブグループ内の左端の信号線B1, B25, B49～B745上の画素信号が多重化信号出力線A1, A2, A3～A32上に出力される。これら多重化信号線上の画素信号はMOSスイッチR1～R32のすべてが非導通状態に保たれているリフレッシュ回路70、バッファアンプ80及びA/D変換回路90を介してそれぞれデジタル画素信号出力端子D1～D32に出力される。この後水平走査信号線H1上の信号 P_m がロー状態に復帰すると、水平スイッチ回路50内のMOSスイッチ $Q1, Q1 \dots Q1^{32}$ は非導通となり多重化、信号線A1～A32上の電圧は読出し前の状態に復帰する。

これより数 μ 遅れて時刻 t_2 に水平走査信号線H2上の信号 P_m がハイ状態になる。これに伴って水平スイッチ回路50内のMOSスイッチ $Q1, Q1, Q1 \dots Q1^{32}$ が導通し、信号出力線B1～B768

8の各サブグループ内の左から2番目の信号出力線B2, B26, B50～B746上の電圧が多重化信号出力線A1～A32上に出力される。これら多重化信号出力線上の電圧はMOSスイッチR1～R32のすべてが非導通状態に保たれているリフレッシュ回路70、バッファアンプ80及びA/D変換回路90を介してそれぞれデジタル画素信号出力端子D1～D32に出力される。この後水平走査信号線H2上の信号 P_m がロー状態に復帰すると、水平スイッチ回路50内のMOSスイッチ $Q1, Q1 \dots Q1^{32}$ は非導通となり、多重化信号出力線上の電圧は読出し前の状態にもどる。以下同様にして、水平走査信号線H3からH24までの信号が順次ハイになつてゆき、これに伴って各サブグループ内の信号出力線上のアナログ画素信号が順次デジタル画素信号出力端子D1～D32に出力される。

最後の水平走査線H24上の信号 P_m がロー状態に復帰した後垂直走査信号線V1上の信号 P_{n1} がロー状態に復帰しこの信号線V1に連なる全てのセルの水平走査が完了する。すなわち、セル Cj ($j=1, 2 \dots 768$) 内のMOSスイッチ Sj はすべて非導通になる。しかしながら光検出部 CCj が非破壊読出しの特性を有しているため、各セル内に設けられ垂直走査回路によって駆動されるMOSスイッチ Sj ($j=1, 2, \dots 768$) が非導通になる直前まで各信号出力線B1～B768上には画素信号が出力されており、この画素信号は各セル内のMOSスイッチが非導通になった後は信号出力線の対地容量で定まる時定数で放電され減衰してゆく。この放電の時定数が長いと、引続いて垂直走査信号線V3に連なるセルの水平走査を行う際に各信号出力線上に従前の画素信号が残存することになり以後読出すべき画素信号に干渉を及ぼしてしまう。つまり、この状態で水平走査信号線 Vj から次の水平走査信号線 V_{j+1} （インターレースしない場合には V_{j+1} ）を選択して光検出部 CCj^{**} （インターレースしない場合には CCj^{**} ）に蓄積されていた画素信号を信号出力線B上に読み出そうとしても、この信号出力線B上には前回読出した光検出部 CCj の信号が保持されているので正確な読み出しが不可能となってしまうのである。

このような干渉を防止するため、第4図に示すように信号線V1に連なるセルの読出しが終了し

てから信号線V3に連なるセルの読出しを開始するまでブランキング期間を設け、このブランキング期間中にすべての水平走査信号線H1~H24上の信号P_{m1}~P_{m24}をハイ状態にしてMOSスイッチQ₁~Q₂₄を導通させることによりすべての信号出力線B1~B768を対応の共通信号出力線A1~A32に接続すると共に、リフレッシュ線R上の信号P_rをハイ状態にしてMOSスイッチR1~R32を導通させることにより多重化信号出力線A1~A32を接地する。これによつて、すべての信号出力線B1~B768が接地され、従前の走査に伴つて残存していた画素信号がリフレッシュ(クリア)される。

本発明においては、用いられるセルが非破壊読出し特性を持つているために1つの信号線V_jのスイッチングを行なつた後、次の信号線(例えば、インターレースで読出す場合にはV_{j+1})のスイッチングを行なう前にブランキング期間を設けること、つまり信号出力線B₁~B₇₆₈のいずれの信号出力線に対してもセルが電氣的に接続しない状態において、信号出力線B₁~B₇₆₈のリフレッシュ(クリア)を行なうことが重要である。

上記の説明においては、1つの垂直走査信号線の選択期間及びブランキング期間の和(1つの垂直走査信号線の選択から次の垂直走査線の選択までの期間)が640μsの場合について述べたが、これに限られるものではなく、例えばこれを半分程度の時間とすることもでき、この場合1秒当り10駒程度の速写撮影を行なうことができる。

このようにしてリフレッシュが終了したのち垂直走査信号線V3上の信号P_{m3}がハイ状態になり、この信号線V3に連なる各セルについて垂直走査信号線V1に関し説明したと全く同様に水平走査が行われる。以下同様にして各ブランキング期間で信号出力線のリフレッシュ動作を行わせつつ奇数番の垂直走査信号線V3, V5, V7, V9... V511に連なるセルから画素信号を読出し、引続き偶数番の垂直走査信号線V2, V4, V6... V512に連なるセルから画素信号を読出し、これによつて奇数フィールド及び偶数フィールドからなる1フレームの走査を完了する。

このようにして全ての画素CC1~CC1111の全ての画素信号が読み出された後、センサに蓄積されている画素信号(例えば冒頭に述べたフック構造を

有するセンサにおいてはフック構造のポテンシャルの井戸内に蓄積されているフォトキャリアがリフレッシュ(クリア)されて、次の画像形成に対する準備が行なわれて1つの工程が完了する。このセンサーのリフレッシュの方法は例えば冒頭に述べた特開昭55-54001号、同55-00316号等に表示如く各画素セルに対応させてリフレッシュセルを設け、このセルの動作によつて行なうことが可能である。

上記実施例によれば、各垂直走査期間の間にブランキング期間を設け、このブランキング期間内に信号出力線のリフレッシュ(クリア)を行う構成であるから、非破壊読出し特性を有するセル間の干渉が有効に防止できるという利点がある。

また、信号出力線のサブグループに分割し、各サブグループ内の信号出力線に連なる対応のセルを同時に読出してゆく多重化構成とすれば、例えば顕微鏡写真による静止画像と同等の画質が要求され、大きな画素数を有する固体撮像素子の読出しにおいても、信号の読出し速度をサブグループの数の逆数倍だけ低速にすることが可能であり、MOSスイッチの開閉に伴なうスパイク雑音を大幅に低減化でき、また、デジタル画像出力端子の信号を記録する磁気記録装置として、例えばサブグループの数と同数の多トラックヘッドを用いて同時多トラック記録を行なえば、オーディオグレートの低速の記録装置を用いることができるという利点がある。さらにサブグループへの分割は信号出力線のリフレッシュ用のMOSスイッチの個数をも低減させることができる。

更に上述した如く固体撮像装置からの信号の読出し速度を低速化するためには、本発明におけるように非破壊読出し特性を持つような信号保持時間の大きな素子を用いることが必要となるから、信号読出し線のリフレッシュを工夫すると共に、信号出力線をサブグループ化して低速の信号読み出しを行なわせる効果は極めて大きい。

以上の実施例においては、サブグループ化された信号出力線をサブグループ内を順次水平走査して各画素の信号を読み出す方法について述べた。この方法は前述した如く、例えば高画質が要求され、画素数の多い固体撮像素子からスパイク雑音を十分に低減させて信号読出しを行なうことができ、しかも出力端子を信号出力線の数よりも少な

11

くできるので、例えば得られた信号を同時多トラック磁気記録する際にも少ない磁気ヘッド数で記録を行なうことができる。しかしながら、この信号の脱出し方法はこれに限られるものではなく、例えば、全ての信号出力線を水平走査回路によつて順次選択してもよい。又、信号出力線に対応させてこれを同数の出力端子を設けて1水平ラインの図素を同時に脱出すようにしてもよい。この最後の態様においては水平走査回路は不要となる。

第5図は本発明をカラーテレビに適用する装置の一構成例の要部を図示したものであり、各セルの表面にはペイヤー配列に従つて緑、青、赤から成る三原色のカラーフィルターが付加されている。水平スイッチ回路70内のサブグループ1内のMOSスイッチ Q_1, Q_1^*, Q_1^*, Q_1^* は、左端からの配列番号が奇数である Q_1, Q_1^*, Q_1^*, Q_1^* のグループと偶数である Q_2, Q_2^*, Q_2^*, Q_2^* のグループに分割され、奇数グループに属するMOSスイッチは左端からの配列番号の順に水平走査信号線H1～H12に順次接続され、一方偶数グループに属するMOSスイッチは同じく左端からの配列番号の順に水平走査信号線H13～H24に順次接続されている。

このような構成であるから、水平走査信号線V1上の信号 P_{v1} をハイ状態に保持したまま水平走査信号線H1～H12上の信号 $P_{m1} \sim P_{m12}$ を順次ハイ状態にしてゆくと、多重化信号出力線A1上には連続した12個の緑色信号が出力され、引続き水平走査信号線H13～H24の信号を順次ハイ状態にしてゆくと、多重化信号出力線A1上には連続した12個の青色信号が出力される。次に垂直走査信号線V3上の信号をハイ状態に保持したまま水平走査信号線H1～H24上の信号を順次ハイ状態にしてゆくと、多重化信号出力線A1上にはまず連続した12個のG信号が出力され、次いで連続した12個のR信号が出力される。以下同様にして奇数フィールドの走査においては、多重化信号出力線A1上には、それぞれ12個の連続したG信号及びR信号が交互に出力され、一方偶数フィールドの走査においては、それぞれ12個の連続したG信号及び青信号が出力される。このようにそれぞれの色信号が必ず12個まとまって出力されるから、水平走査のクロックを1/12分周したクロックを用いてこれらの色信号を容易に分離

12

するという利点がある。

第6図は本発明をカラーテレビに適用する装置の他の構成例の要部を図示したものであり、各セルの表面にはペイヤー配列に従つてG、B及びRの三原色のカラーフィルターが付加されている。信号出力線B1～B24は配列番号が奇数のグループB1、B3、B5…B23と偶数のグループB2、B4、B6…B24の2群に分割され、各グループに属する信号出力線はそれぞれ多重化信号出力線A1-1とA1-2に接続されると共に、これら奇、偶両グループのそれぞれの左端からの配列番号が同一である1対の信号出力線は、共通の水平走査信号線H1～H24に順次接続されたゲートを有するMOSスイッチに接続されている。また、偶数フィールドに属するセルはその図素信号を左端に配列された信号出力線A1-2上のように接続されている。

このような構成であるから、一方の多重化信号線A1-1上には奇偶両フィールドの走査期間中G信号のみが出力され、他方の多重化信号線A1-2上には奇数フィールドの走査期間中はR信号のみが出力されると共に偶数フィールドの走査期間中はB信号のみが出力される。このため第5図の場合に比べてカラー信号分離がより容易になるという利点がある。

第7図は本発明をカラーテレビに適用する装置の他の構成例の要部を図示したものであり、各セルの表面にはインターリーブ配列に従つてG、B及びRの三原色のカラーフィルターが付加されており、信号出力線は96本ごとに1個のサブグループを形成している。このサブグループは、さらに第1、第2、第3及び第4の群に分割され各群内の信号出力線はそれぞれ対応の多重化信号出力線A1-1、A1-2、A1-3及びA1-4に接続されている。第1の群は1番から47番までの奇数配列番号を有する線群B1、B3、B5…B47から構成されており、第2の群は49番から95番までの奇数配列番号を有する線群B49、B51、B53…B95から構成されており、第3の群は2番から94番までの4とびの偶数配列番号を有する線群B2、B6、B10…B94から構成されており、かつ第4の群は4番から94番までの4とびの偶数配列番号を有する線群B4、B8、B12…B96から構成されている。各線群内の

13

信号出力線を対応の多重化信号出力線に接続するMOSスイッチは、その信号出力線の各群内における配列番号順に水平走査信号線H1~H24に接続されたゲート電極を有している。

このような構成であるから、奇数フィールドであるか偶数フィールドであるかを問わずフレーム内の全走査期間にわたって多重化信号出力線A1-1、A1-2、A1-3及びA1-4のそれぞれには第1の緑信号G1、第2の緑信号G2、赤信号R及び青信号Bが出力され、カラー信号の分離が極めて容易になるという利点がある。

以上詳細に説明したように、本発明の画像信号読出し方法は垂直走査信号線の選択期間相互間にブランキング期間を設け、このブランキング期間において信号出力線を基準電位に保持する構成であるから、非破壊読出し特性を有する因素から相互干渉を有効に防止しつつ画像信号を読出すことができる。

また本発明の一実施例によれば、カラーフィルターの配列に合わせて信号出力線を多重化する構成であるから、リフレッシュ回路の構成を簡略化できると共に色分離を容易に行うことができるという利点がある。

図面の簡単な説明

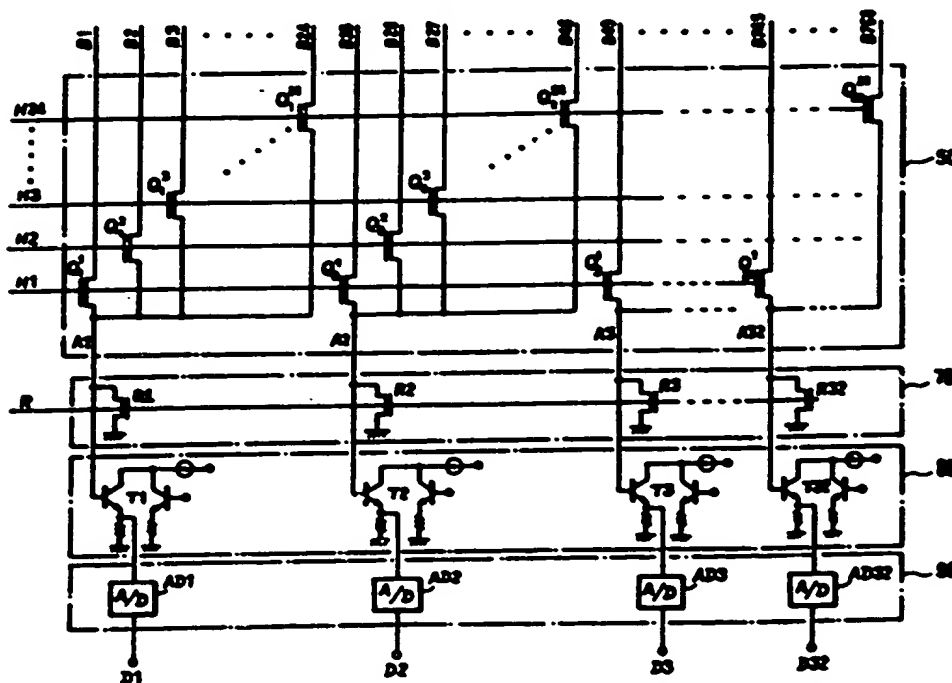
第1図は本発明の一実施例に使用する固体撮像

14

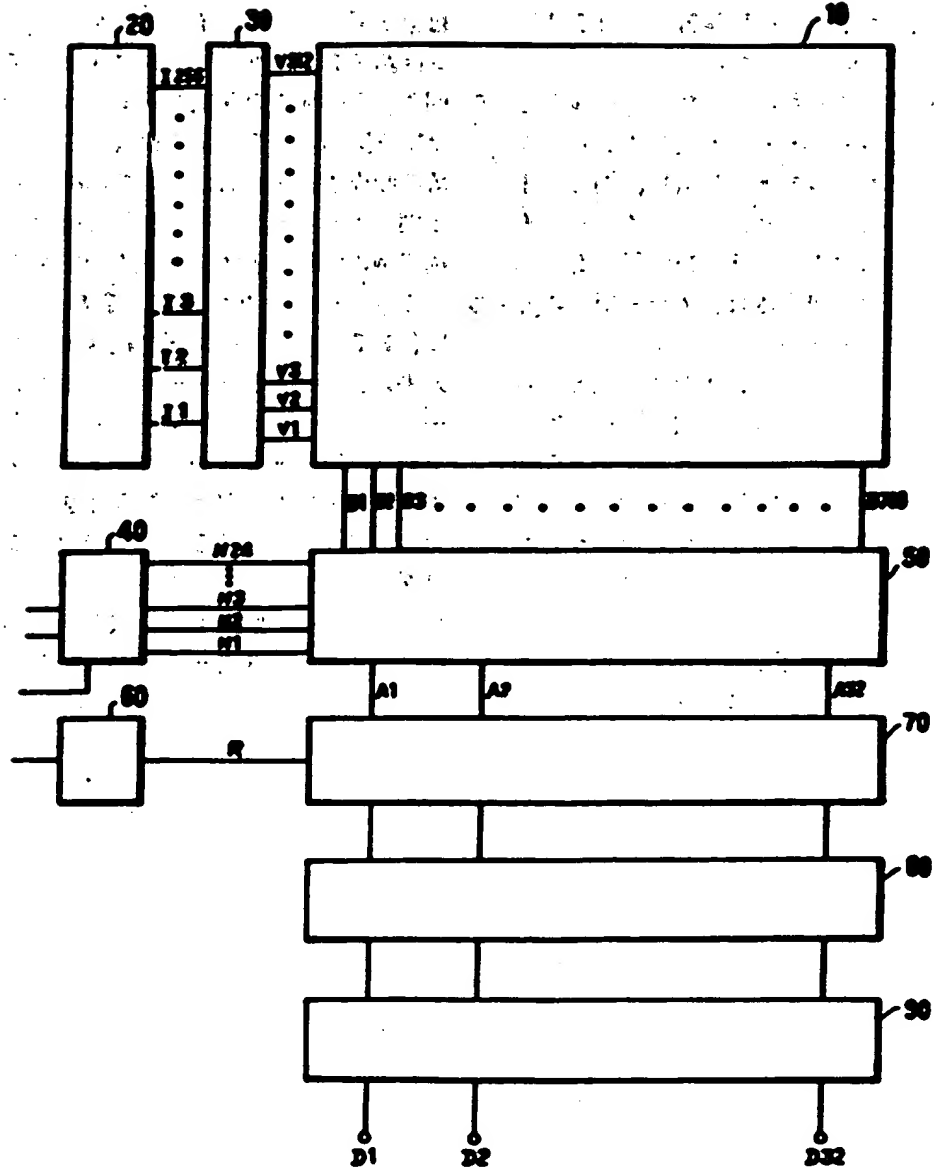
装置のブロック図、第2図は第1図示のセンサエリア10の構成の一例を示すブロック図、第3図は第1図示の水平スイッチ回路50、リフレッシュ回路70、バッファアンプ80及びA/D変換回路90の構成の群組を示すブロック図、第4図は第1図乃至第3図示の構成を有する固体撮像装置の動作を説明するための波形図、第5図乃至第7図は本発明をカラーテレビに適用する装置の一構成例の要部を示すブロック図である。

10……センサエリア、20……垂直走査回路、30……フィールド選択スイッチ、40……水平走査回路、50……水平スイッチ回路、60……リフレッシュ信号発生回路、70……リフレッシュ回路、80……バッファアンプ、90……A/D変換回路、V1~V512……垂直走査信号線、B1~B768……信号出力線、A1~A32……多重化信号出力線、R……リフレッシュ信号線、Cl……画素セル、CC……光検出部、Sl、Q⁺、R1~R32……MOSスイッチ、T1~T32……アンプ、AD1~AD32……A/D変換回路、D1~D32……デジタル画素信号出力端子。

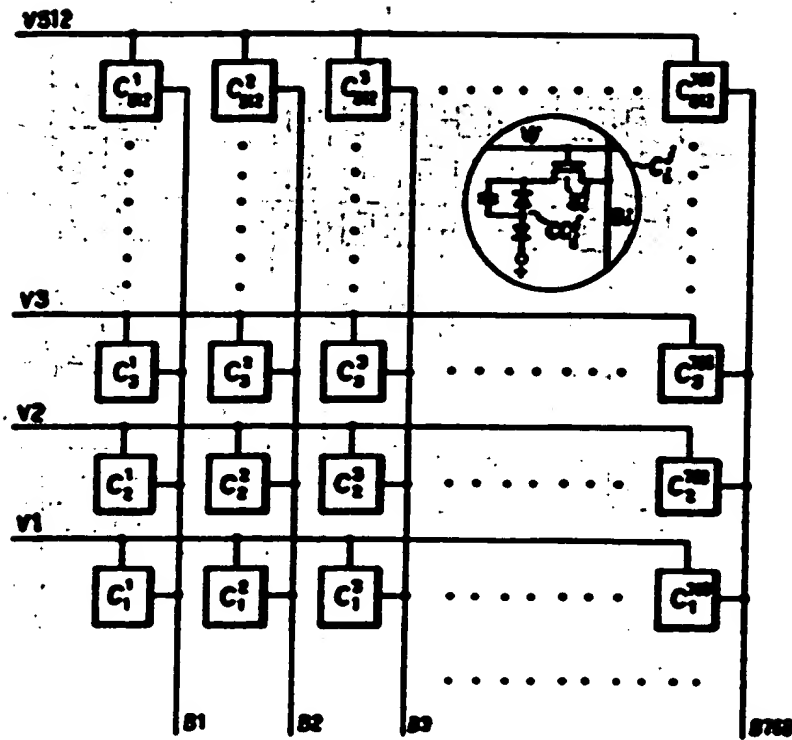
第 3 図



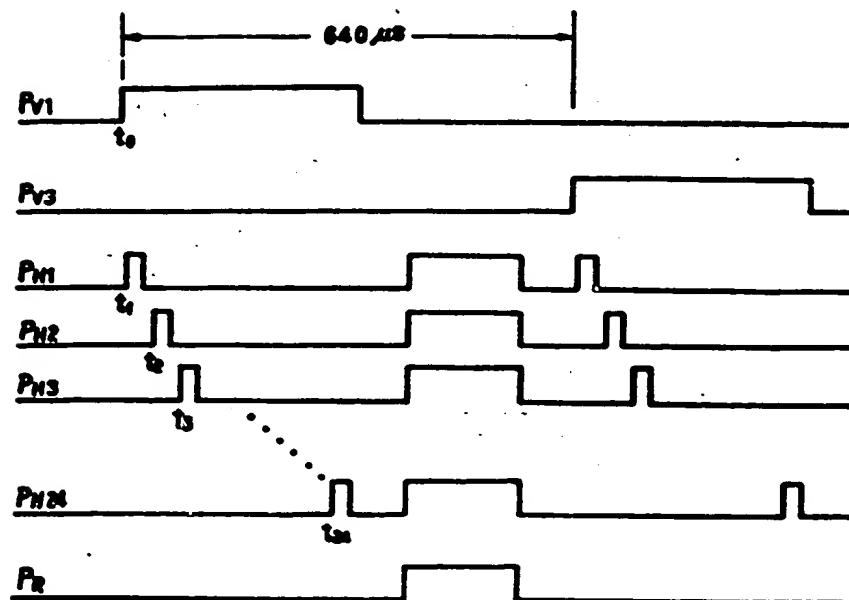
第 1 図



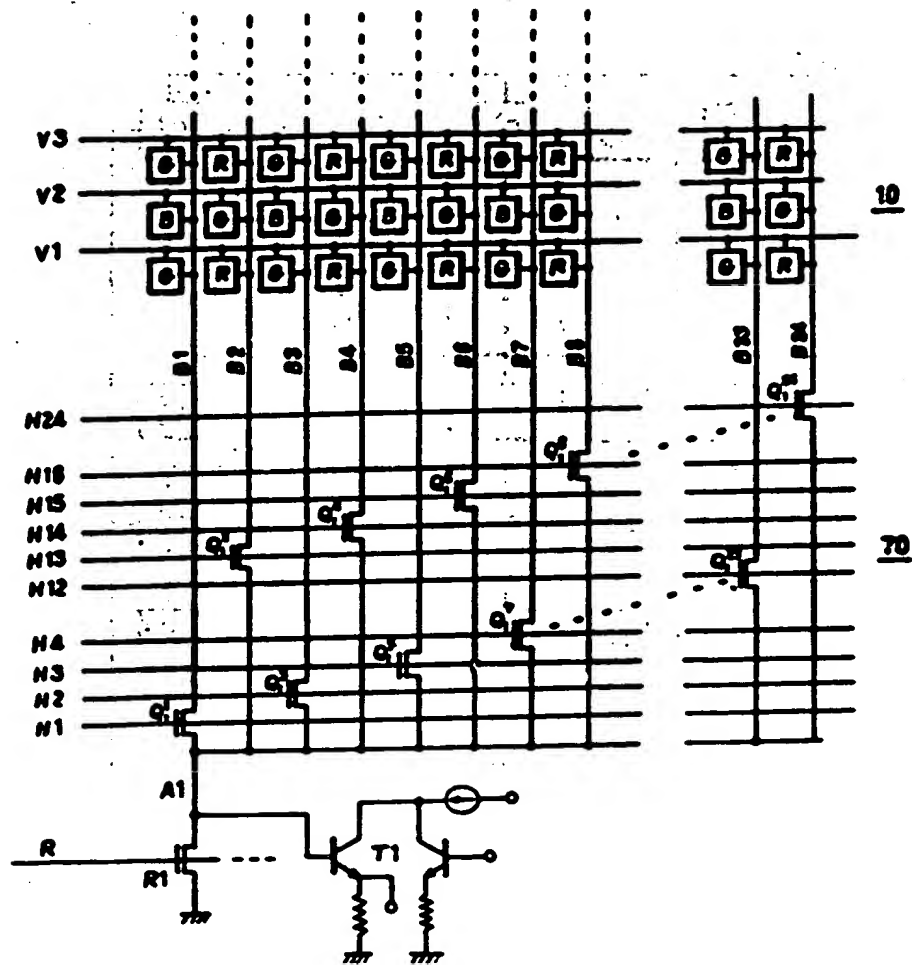
第 2 圖



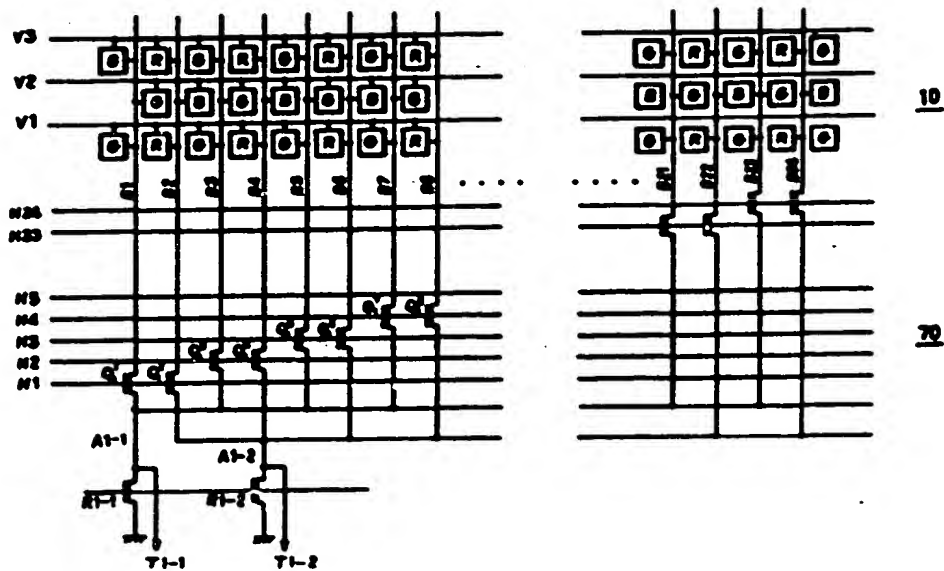
第 4 圖



第 5 圖



第 6 圖



第 7 图

